



ELEKTRONIKA ANALOG

Elektronika Analog

Herman Dwi Surjono, Ph.D.

CERDAS
ULET
KREATIF
www.cerdas.co.id
PUBLISHER



Elektronika Analog

Disusun Oleh: **Herman Dwi Surjono, Ph.D.**

© 2008 All Rights Reserved

Hak cipta dilindungi undang-undang

Penyunting : **Tim Cerdas Ulet Kreatif**

Perancang Sampul : **Dhega Febiharsa**

Tata Letak : **Dhega Febiharsa**

Diterbitkan Oleh:

Penerbit Cerdas Ulet Kreatif

Jl. Manggis 72 RT 03 RW 04 Jember Lor – Patrang

Jember - Jawa Timur 68118

Telp. 0331-422327 Faks. 0331422327

Katalog Dalam Terbitan (KDT)

Herman Dwi Surjono, **Elektronika Analog**/Herman Dwi Surjono, Penyunting:
Tim Cerdas Ulet Kreatif, 2008, 112 hlm; 14,8 x 21 cm.

ISBN 978-602-98174-1-6

1. Hukum Administrasi	I. Judul
II. Tim Cerdas Ulet Kreatif	112

Distributor:

Penerbit CERDAS ULET KREATIF

Website : www.cerdas.co.id - email : buku@cerdas.co.id

Cetakan Kedua, 2011

Undang-Undang RI Nomor 19 Tahun 2002 Tentang Hak Cipta

Ketentuan Pidana

Pasal 72 (ayat 2)

1. Barang Siapa dengan sengaja menyiarkan, memamerkan, mengedarkan, atau menjual kepada umum suatu ciptaan atau barang hasil pelanggaran Hak Cipta atau hak terkait sebagaimana dimaksud pada ayat (1), dipidana dengan pidana penjara paling lama 5 (lima) tahun dan/atau denda paling banyak Rp. 500.000.000,00 (lima ratus juta rupiah).

Kata Pengantar



Buku ini diperuntukkan bagi siapa saja yang ingin mengetahui elektronika baik secara teori, konsep dan penerapannya. Pembahasan dilakukan secara komprehensif dan mendalam mulai dari pemahaman konsep dasar hingga ke taraf kemampuan untuk menganalisis dan mendesain rangkaian elektronika. Penggunaan matematika tingkat tinggi diusahakan seminimal mungkin, sehingga buku ini bias digunakan oleh berbagai kalangan. Pembaca dapat beraktivitas dengan mudah karena didukung banyak contoh soal dalam hamper setiap pokok bahasan serta latihan soal pada setiap akhir bab. Beberapa rangkaian penguat sedapat mungkin diambilkan dari pengalaman praktikum.

Sebagai pengetahuan awal, pemakai buku ini harus memahami teori dasar rangkaian DC dan matematika dasar. Teori Thevenin, Norton, dan Superposisi juga digunakan dalam beberapa pokok bahasan. Di samping itu penguasaan penerapan hukum Ohm dan Kirchhoff merupakan syarat mutlak terutama pada bagian analisis dan perancangan.

Bab 1 membahas JFET, D-MOSFET dan E-MOSFET. Pembahasan dimulai dari konstruksi, prinsip kerja, karakteristik transfer dan output untuk ketiga keluarga FET tersebut.

Bab 2 membahas beberapa metode pemberian bias FET. Bias yang sering dipakai dalam rangkaian FET diantaranya adalah bias tetap, bias sendiri, dan bias pembagi tegangan.

Bab 3 membahas analisis penguat FET dalam tiga macam konfigurasi, yakni CS, CG dan pengikut Source. Namun di awal bab akan dijelaskan terlebih dahulu model siyal kecil FET.

Akhirnya bab 4 membahas penguat daya yakni penguat kelas A, penguat push-pull dan komplementer.

Semoga buku ini bermanfaat bagi siapa saja. Saran-saran dari pembaca sangat diharapkan.

Yogyakarta, Desember 2008

Penulis,

Herman Dwi Surjono, Ph.D.

Dosen Jurusan Pendidikan Teknik Elektronika, FT- UNY

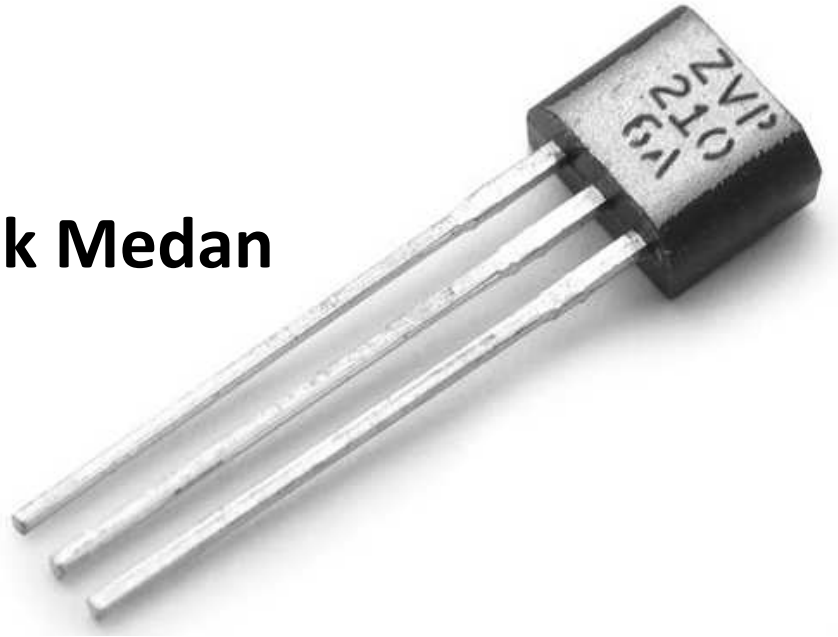
Daftar Isi

KATA PENGANTAR	iii
DAFTAR ISI	v
1. TRANSISTOR EFEK MEDAN	1
1.1. Pendahuluan	1
1.2. Konstruksi dan Karakteristik JFET	2
1.3. Karakteristik Transfer JFET	7
1.4. Konstruksi dan Karakteristik D-MOSFET	9
1.5. Konstruksi dan Karakteristik E-MOSFET	13
1.6. Ringkasan	18
1.7. Soal Latihan	19
2. BIAS DC FET	21
2.1. Pendahuluan	21
2.2. Bias Tetap	21
2.3. Bias Sendiri (<i>Self Bias</i>)	25
2.4. Bias Pembagi Tegangan	32
2.5. Ringkasan	38
2.6. Soal Latihan	39
3. PENGUAT FET	43
3.1. Pendahuluan	43
3.2. Model Sinyal Kecil FET	43
3.3. Analisis Penguat CS	49
3.4. Penguat CS dengan RS	53
3.5. Rangkaian Pengikut Source	61
3.6. Penguat Gate Bersama (CG)	65
3.7. Ringkasan	68
3.8. Soal Latihan	69
4. PENGUAT DAYA	73
4.1. Pendahuluan	73
4.2. Kelas Penguat	73
4.3. Penguat Daya Kelas A Beban Resistor	76
4.4. Penguat Daya Kelas A Beban Trafo	83
4.5. Penguat Daya <i>Push Pull</i> Kelas B	86
4.6. Penguat Daya Komplementer	93
4.7. Ringkasan	96
4.8. Soal Latihan	97
LAMPIRAN A	101
LAMPIRAN B	102
INDEKS	103

Herman Dwi Surjono, Ph.D.
Elektronika Analog

Bab 1

Transistor Efek Medan



1.1 Pendahuluan

Transistor efek medan (*field-effect transistor* = FET) mempunyai fungsi yang hampir sama dengan transistor bipolar yang sudah dibahas pada buku jilid 1. Meskipun demikian antara FET dan transistor bipolar terdapat beberapa perbedaan yang mendasar.

Perbedaan utama antara kedua jenis transistor tersebut adalah bahwa dalam transistor bipolar arus output (IC) dikendalikan oleh arus input (IB). Sedangkan dalam FET arus output (ID) dikendalikan oleh tegangan input (VGS), karena arus input adalah nol. Sehingga resistansi input FET sangat besar, dalam orde puluhan megaohm.

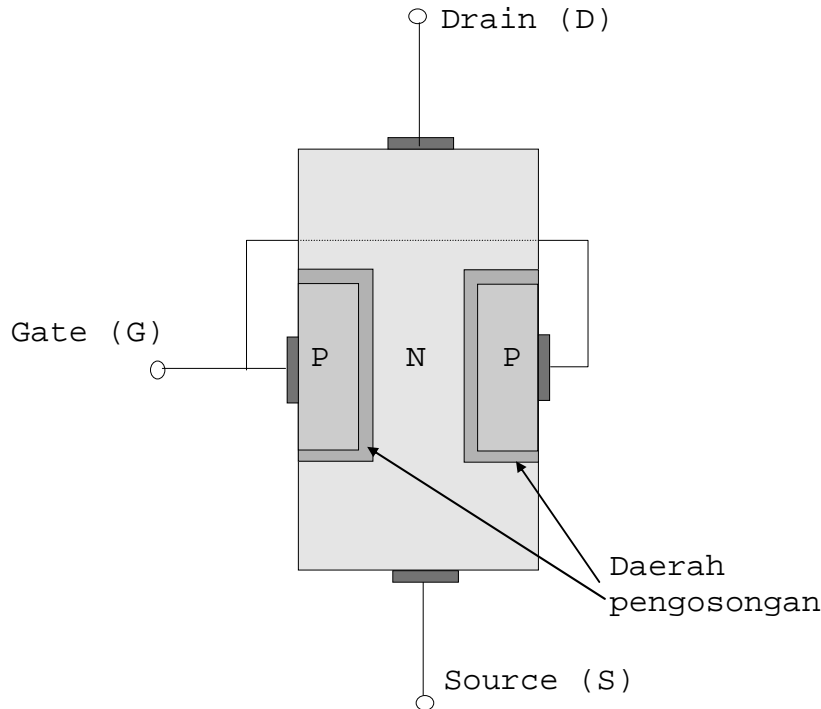
Disamping itu, FET lebih stabil terhadap temperatur dan konstruksinya lebih kecil serta pembuatannya lebih mudah dari transistor bipolar, sehingga amat bermanfaat untuk pembuatan keping rangkaian terpadu. FET bekerja atas aliran pembawa mayoritas saja, sehingga FET cenderung membangkitkan *noise* (desah) lebih kecil dari pada transistor bipolar.

Namun umumnya transistor bipolar lebih peka terhadap input atau dengan kata lain penguatannya lebih besar. Disamping itu transistor bipolar mempunyai linieritas yang lebih baik dan respon frekuensi yang lebih lebar.

Keluarga FET yang penting adalah JFET (*junction field-effect transistor*) dan MOSFET (*metal-oxide semiconductor field-effect transistor*). JFET terdiri atas kanal-P dan kanal-N. MOSFET terdiri atas MOSFET tipe pengosongan (D-MOSFET = *Depletion-mode metal-oxide semiconductor* FET) dan MOSFET tipe peningkatan (E-MOSFET = *Enhancement-mode metal-oxide semiconductor* FET). Masing-masing tipe MOSFET ini masih terbagi juga dalam kanal-P dan kanal-N.

1.2 Konstruksi dan Karakteristik JFET

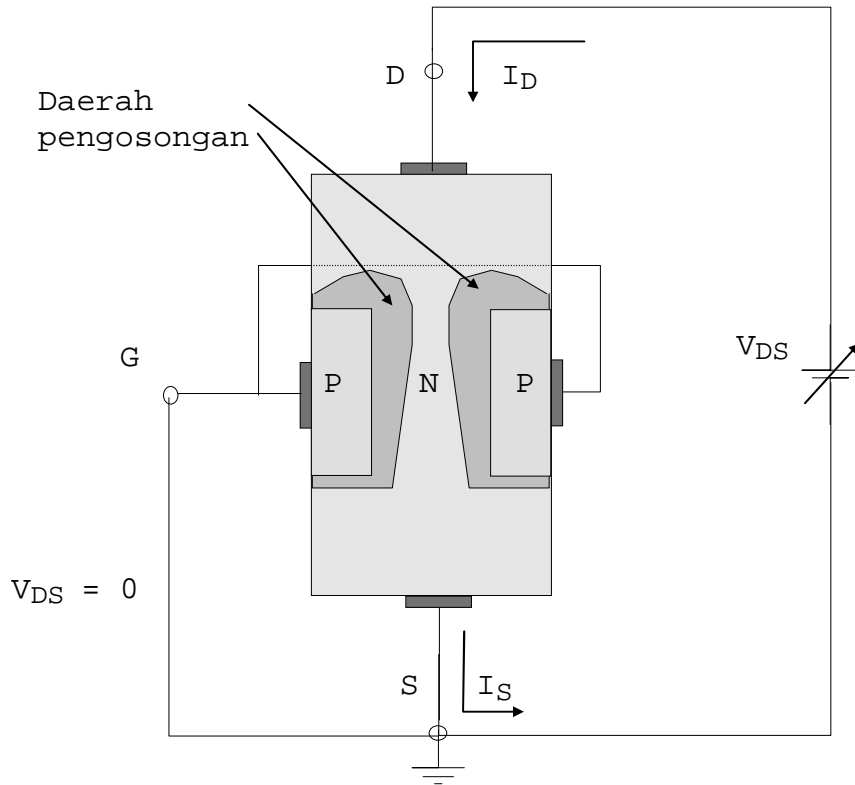
JFET adalah komponen tiga terminal dimana salah satu terminal dapat mengontrol arus antara dua terminal lainnya. JFET terdiri atas dua jenis, yakni kanal-N dan kanal-P, sebagaimana transistor terdapat jenis NPN dan PNP. Umumnya yang akan dibahas pada bab ini adalah kanal-N, karena untuk kanal-P adalah kebalikannya.



Gambar 1.1 Konstruksi JFET kanal N

Konstruksi dasar komponen JFET kanal-N adalah seperti pada gambar 1.1. Terlihat bahwa sebagian besar strukturnya terbuat dari bahan tipe-N yang membentuk kanal. Bagian atas dari kanal dihubungkan ke terminal yang disebut Drain (D) dan bagian bawah dihubungkan ke terminal yang disebut Source (S). Pada sisi kiri dan kanan dari kanal-N dimasukkan bahan tipe P yang dihubungkan bersama-sama ke terminal yang disebut dengan Gate (G).

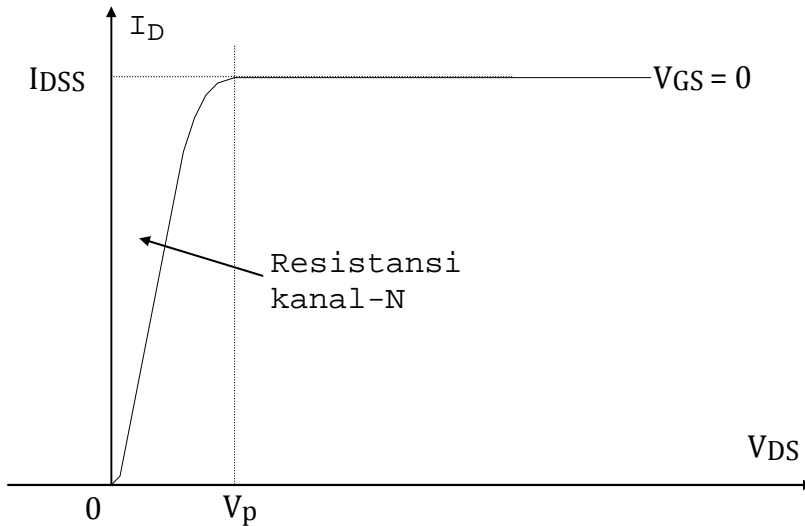
Pada saat semua terminal belum diberi tegangan bias dari luar, maka pada persambungan P dan N pada kedua gate terdapat daerah pengosongan. Hal ini terjadi sebagaimana pada pembahasan dioda persambungan. Pada daerah pengosongan tidak terdapat pembawa muatan bebas, sehingga tidak mendukung aliran arus sepanjang kanal.



Gambar 1.2 JFET kanal N dengan $V_{GS} = 0$ dan $V_{DS} > 0$

Apabila antara terminal D dan S diberi tegangan positif ($V_{DS} = \text{positif}$) dan antara terminal G dan S diberi tegangan nol ($V_{GS} = 0$), maka persambungan antara G dan D mendapat bias negatif, sehingga daerah pengosongan semakin lebar. Sedangkan persambungan antara G dan S daerah pengosongannya tetap seperti semula saat tidak ada bias. Untuk membuat $V_{GS} = 0$ adalah dengan cara menghubungkan terminal G dan terminal S. Lihat gambar 1.2.

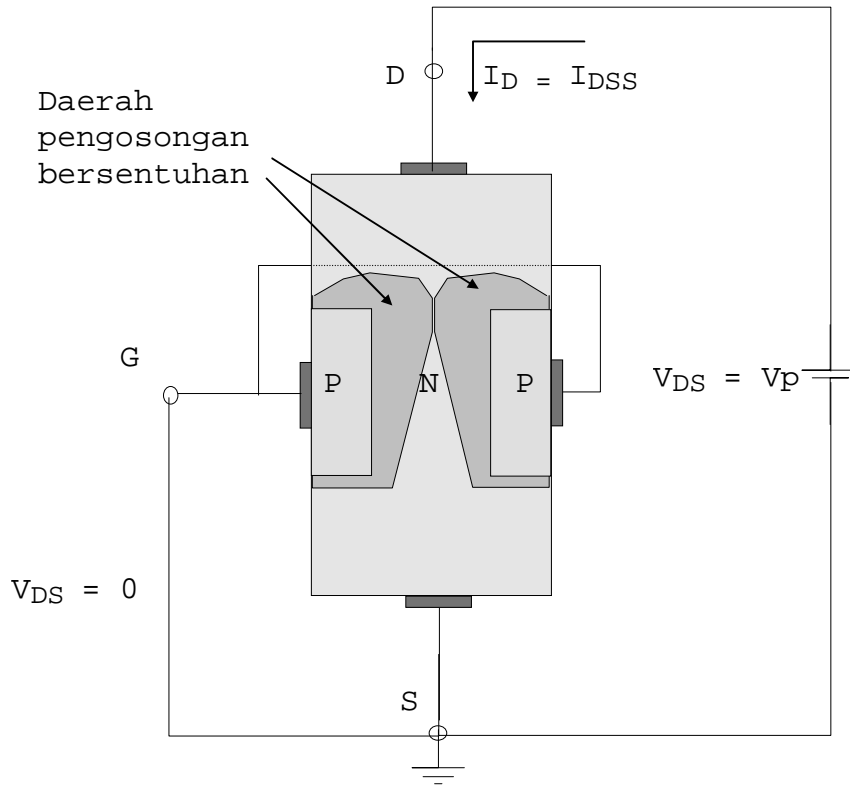
Dengan adanya V_{DS} bernilai positif, maka elektron dari S akan mengalir menuju D melewati kanal N, karena kanal-N tersedia banyak pembawa muatan mayoritas berupa elektron. Dengan kata lain arus listrik pada drain (I_D) mengalir dari sumber V_{DS} dan arus pada source (I_S) menuju sumber. Aliran elektron ini melewati celah yang disebabkan oleh daerah pengosongan sebelah kiri dan kanan.



Gambar 1.3 Kurva hubungan I_D dengan V_{DS}

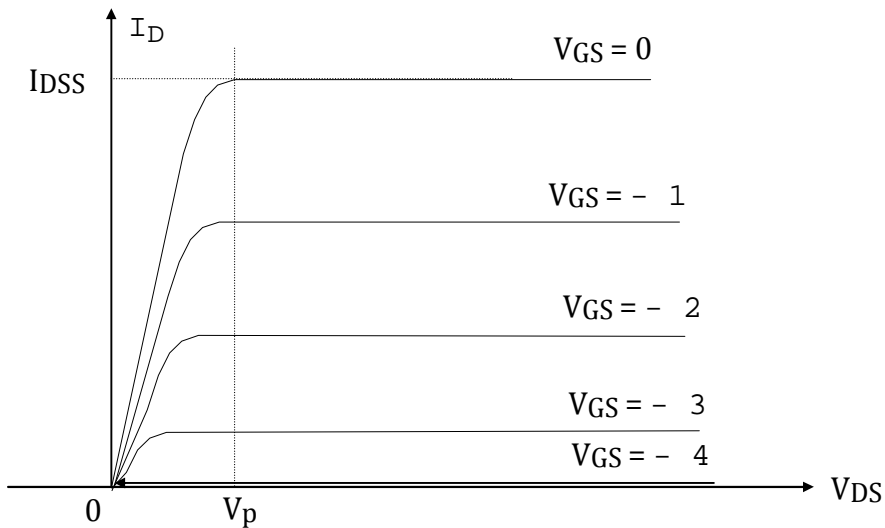
Pada kondisi seperti pada gambar 1.2, aliran elektron sepenuhnya hanya tergantung pada resistansi kanal antara S dan D. Lihat gambar 1.3. Pada saat ini hubungan arus I_D dan V_{DS} masih mengikuti hukum Ohm. Apabila tegangan V_{DS} diperbesar lagi hingga beberapa volt, maka persambungan G dan D semakin besar mendapat tegangan bias mundur, sehingga daerah pengosongan semakin melebar.

Apabila tegangan V_{DS} dinaikkan terus hingga daerah pengosongan sebelah kiri dan kanan bersentuhan maka aliran elektron akan jenuh yang disebut dengan kondisi *pinch-off*. Lihat gambar 1.4. Pada kondisi ini (arus mulai jenuh dan $V_{GS} = 0$) tegangan V_{DS} disebut dengan tegangan pinch-off (V_p). Kenaikan V_{DS} sesudah ini tidak akan menambah arus I_D lebih besar lagi atau I_D akan tetap, yakni yang disebut dengan I_{DSS} (*drain-source saturation current*). I_{DSS} adalah arus drain maksimum dengan kondisi $V_{GS} = 0$ Volt dan $V_{DS} = |V_p|$.



Gambar 1.4 JFET kanal N dengan $V_{GS} = 0$ dan $V_{DS} = V_p$

Selanjutnya apabila V_{GS} diberi tegangan negatif, misalnya sebesar $V_{GS} = -1$ Volt, maka bias mundur untuk persambungan G-S maupun G-D semakin besar, sehingga daerah pengosongannya semakin lebar. Dengan demikian untuk mencapai kondisi *pinch-off* (kedua sisi daerah pengosongan bersentuhan) diperlukan tegangan VDS lebih kecil. Arus I_D akan mencapai titik jenuh (maksimum) pada tegangan VDS yang lebih kecil. Namun perlu diingat arus bahwa arus jenuh pada V_{GS} bukan nol namanya bukanlah I_{DSS} . Perhatikan kurva karakteristik pada gambar 1.5.

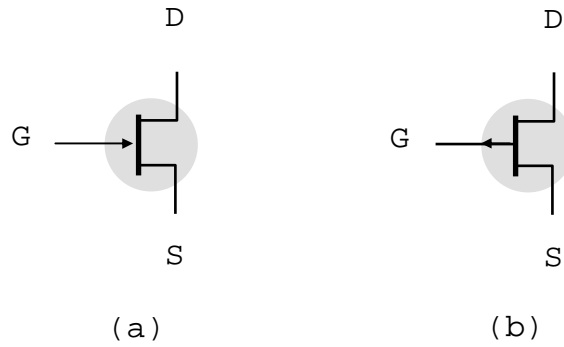


Gambar 1.5 Kurva karakteristik JFET

Pada kuva karakteristik JFET kanal-N secara lengkap (gambar 1.5) terlihat bahwa apabila VGS dinaikkan terus kearah negatip, maka pada suatu tegangan VGS negatip tertentu arus ID tetap nol meskipun tegangan VDS dinaikkan. Tegangan VGS ini disebut dengan $V_{GS(off)}$ atau tegangan pinch-off (V_p). Hal ini karena daerah pengosongan pada kedua sisi saling bersentuhan.

Pada kurva gambar 1.5 tersebut tegangan $V_p = -4$ Volt. Pada kurva tersebut bisa dilihat pada tegangan VDS saat $V_{GS} = 0$ dan $I_D = I_{DSS}$. Juga bisa dilihat pada tegangan VGS saat $I_D = 0$ meskipun VDS dinaikkan terus, yaitu $V_{GS(off)}$. Harga V_p ini adalah negatip untuk JFET kanal-N dan positip untuk JFET kanal-P. Pada beberapa buku data istilah $V_{GS(off)}$ maupun V_p keduanya biasa dipakai untuk menyatakan tegangan pinch-off.

Simbol JFET untuk kanal-N dan kanal-P ditunjukkan pada gambar 1.6 (a) dan (b). Dalam simbol tersebut, arah tanda panah pada gate merupakan arah arus pada persambungan seandainya diberi bias maju. Tetapi perlu diingat bahwa daerah kerja JFET adalah bila persambungan tersebut diberi bias mundur. Oleh karena itulah, maka arus gate I_G adalah nol (sangat kecil) dan akibatnya resistansi input dari JFET adalah tinggi sekali (dalam orde puluhan megaohm).



Gambar 1.6 Simbol JFET (a) kanal-N, (b) kanal-P

1.3 Karakteristik Transfer JFET

Pada transistor bipolar hubungan antara arus output I_C dan arus input yang mengendalikan I_B dianggap linier, yakni: $I_C = \beta I_B$. Namun pada JFET hubungan antara arus output I_D dengan tegangan input yang mengendalikan V_{GS} tidaklah linier, yakni ditentukan dengan persamaan *Shockley*:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2 \dots\dots\dots (1.1)$$

Dengan persamaan Shockley tersebut dapat dibuat karakteristik transfer JFET. Karakteristik transfer JFET merupakan hubungan antara arus drain I_D dengan tegangan gate-source V_{GS} setelah tercapai titik pinch-off. Meskipun dibuat dengan harga V_{DS} konstan, tetapi sebenarnya kurva karakteristik transfer ini tidaklah tergantung dari nilai V_{DS} . Hal ini karena setelah mencapai titik pinch-off, arus I_D tetap konstan walaupun tegangan V_{DS} dinaikkan.

Gambar 1.7 menunjukkan kurva karakteristik transfer JFET. Kurva ini diperoleh dengan menggunakan persamaan Shockley dari kurva karakteristik output gambar 1.5. Dengan diketahuinya nilai I_{DSS} dan V_p dari buku data, maka dengan mudah hubungan I_D dengan V_{GS} dapat ditentukan. Pada gambar 1.7 tersebut, misalnya apabila harga $V_{GS} = 0$ dimasukkan ke persamaan Shockley, maka diperoleh:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2$$

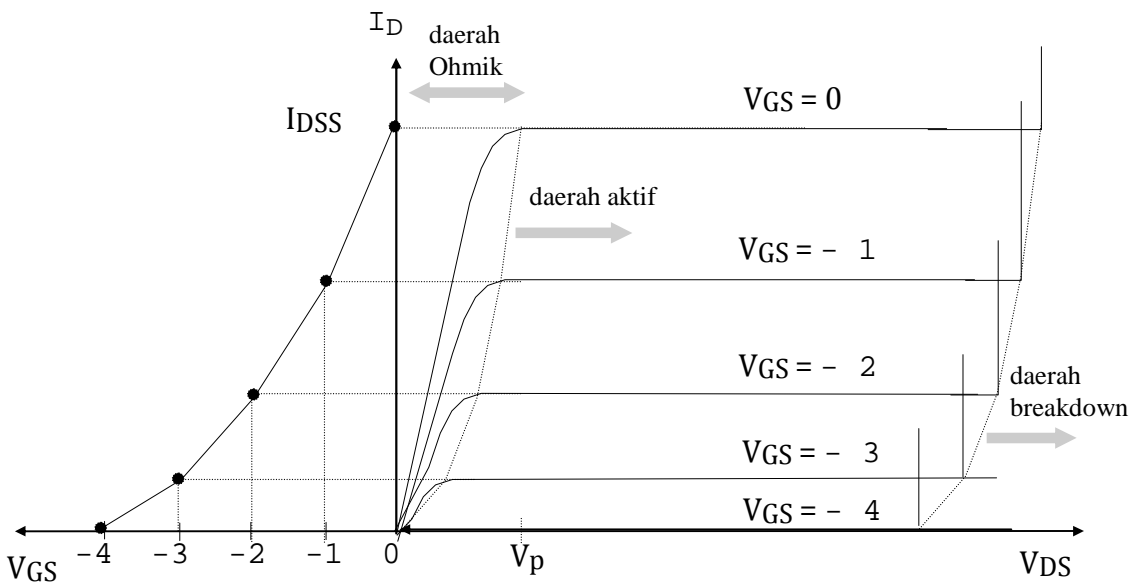
$$I_D = I_{DSS} \left(1 - \frac{0}{V_p}\right)^2 = I_{DSS}$$

Apabila harga $V_{GS} = V_p$ dimasukkan, maka diperoleh:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2$$

$$I_D = I_{DSS} \left(1 - \frac{V_p}{V_p}\right)^2 = 0$$

Selanjutnya dengan memasukkan berbagai harga V_{GS} kedalam persamaan Shockley akan diperoleh kurva transfer lengkap.



Gambar 1.7 Kurva karakteristik transfer dan output JFET

Tegangan V_{DS} yang diperlukan untuk membuat arus I_D menjadi jenuh (titik pinch-off) tergantung dari harga V_{GS} -nya. Bila $V_{GS} = 0$, maka V_{DS} yang diperlukan adalah sebesar V_p . Bila V_{GS} dibuat semakin negatif, maka V_{DS} yang diperlukan adalah semakin kecil. Hubungan $V_{DS(sat)}$ ini dinyatakan dengan persamaan:

$$V_{DS(sat)} = V_{GS} = V_p$$

Daerah operasi yang linier adalah sesudah titik pinch-off dan dibawah daerah break-down. Pada daerah ini arus I_D jenuh dan tergantung dari harga V_{GS} dan tidak tergantung dari V_{DS} , sesuai dengan persamaan Shockley. Daerah antara titik pinch-off dan break-down ini disebut juga dengan daerah aktif atau daerah jenuh, dimana JFET banyak dipakai sebagai penguat. Sedangkan sebelum titik pinch-off disebut dengan daerah ohmik atau daerah yang dikendalikan tegangan (*voltage-controlled region*), dimana JFET berlaku seperti resistor variabel.

Beberapa persamaan penting berkenaan dengan karakteristik JFET adalah sebagai berikut:

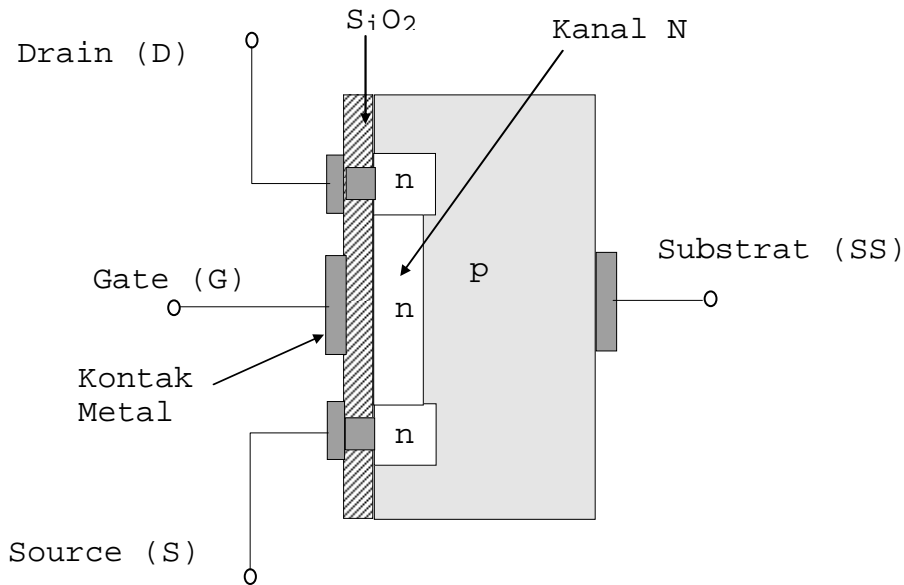
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p}\right)^2$$

$$I_G = 0 \quad \text{dan} \quad I_D = I_S$$

Persamaan tersebut perlu diingat karena banyak digunakan dalam analisa selanjutnya.

1.4 Konstruksi dan Karakteristik D-MOSFET

MOSFET tipe pengosongan atau D-MOSFET (Depletion-metal-oxide semiconductor FET) terdiri atas kanal-N dan kanal-P. Gambar 1.8 menunjukkan konstruksi D-MOSFET kanal-N.



Gambar 1.8 Konstruksi D-MOSFET kanal-N

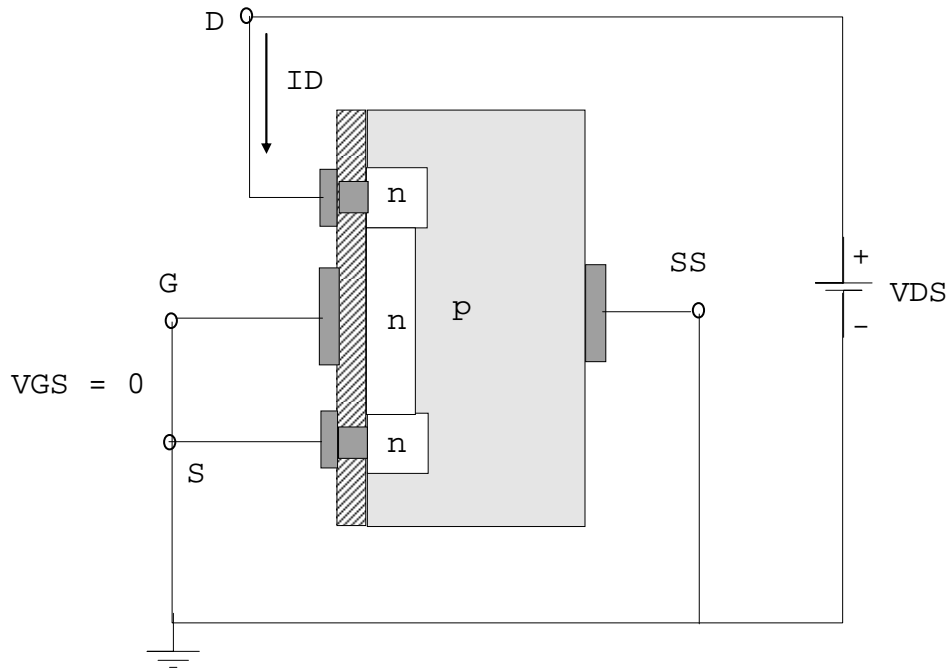
D-MOSFET kanal-N dibuat di atas bahan dasar silikon tipe P yang biasanya disebut dengan substrat. Pada kebanyakan komponen diskret, substrat ini dihubungkan ke terminal yang disebut SS (substrat) sebagai terminal keempat. Terminal drain (D) dihubungkan ke bahan tipe N melalui kontak metal demikian juga dengan terminal source (S). Antara bahan-N drain dan bahan-N source dihubungkan kanal yang terbuat juga dari bahan-N. Terminal gate dihubungkan ke sisi kanal-N melalui kontak metal. Tetapi yang paling penting disini adalah bahwa antara kontak metal gate dengan kanal-N ada lapisan oksida silikon (SiO_2) yang berfungsi sebagai isolasi (dielektrikum).

Secara kelistrikan antara terminal gate dengan kanal-N tidak ada hubungan. Hal ini membuat impedansi dari D-MOSFET sangat tinggi, lebih tinggi dari impedansi input JFET. Dengan demikian dalam pembiasan dc, arus gate I_G dianggap sama dengan nol ($I_G = 0$). Istilah MOSFET (*metal-oxide semiconductor FET*) ini timbul karena dalam konstruksinya terdapat metal dan oksida silikon. Dalam literatur lama MOSFET ini disebut dengan IGFET (*insulated-gate FET*) karena memang terminal gatenya terisolasi dengan kanal-N.

Penjelasan cara kerja dan karakteristik D-MOSFET kanal-N dimulai dengan memberikan $V_{GS} = 0$ dan V_{DS} positif seperti pada gambar 1.9. Pemberian $V_{GS} = 0$ dilakukan dengan cara menghubungkan terminal G dengan S. Biasanya terminal SS dihubungkan ke terminal S. Tegangan positif V_{DS} akan menarik elektron bebas pada kanal-N dari source menuju drain, sehingga mengalir arus I_D . Hal ini sama seperti pada JFET. Bila

VDS diperbesar hingga mencapai V_p , maka arus I_D akan jenuh (tidak naik lagi) yang disebut dengan I_{DSS} .

Apabila VGS dibuat negatif, maka muatan negatif pada terminal gate akan menolak elektron bebas pada kanal-N menjauhi daerah kanal-N dan menuju daerah substrat-P. Hal ini akan mengosongkan kanal-N dari elektron bebas, sehingga arus I_D semakin kecil. Apabila tegangan negatif VGS dinaikkan terus hingga kanal-N kosong dari semua elektron bebas, maka arus I_D sudah tidak bisa dinaikkan lagi meskipun dengan memperbesar VDS.



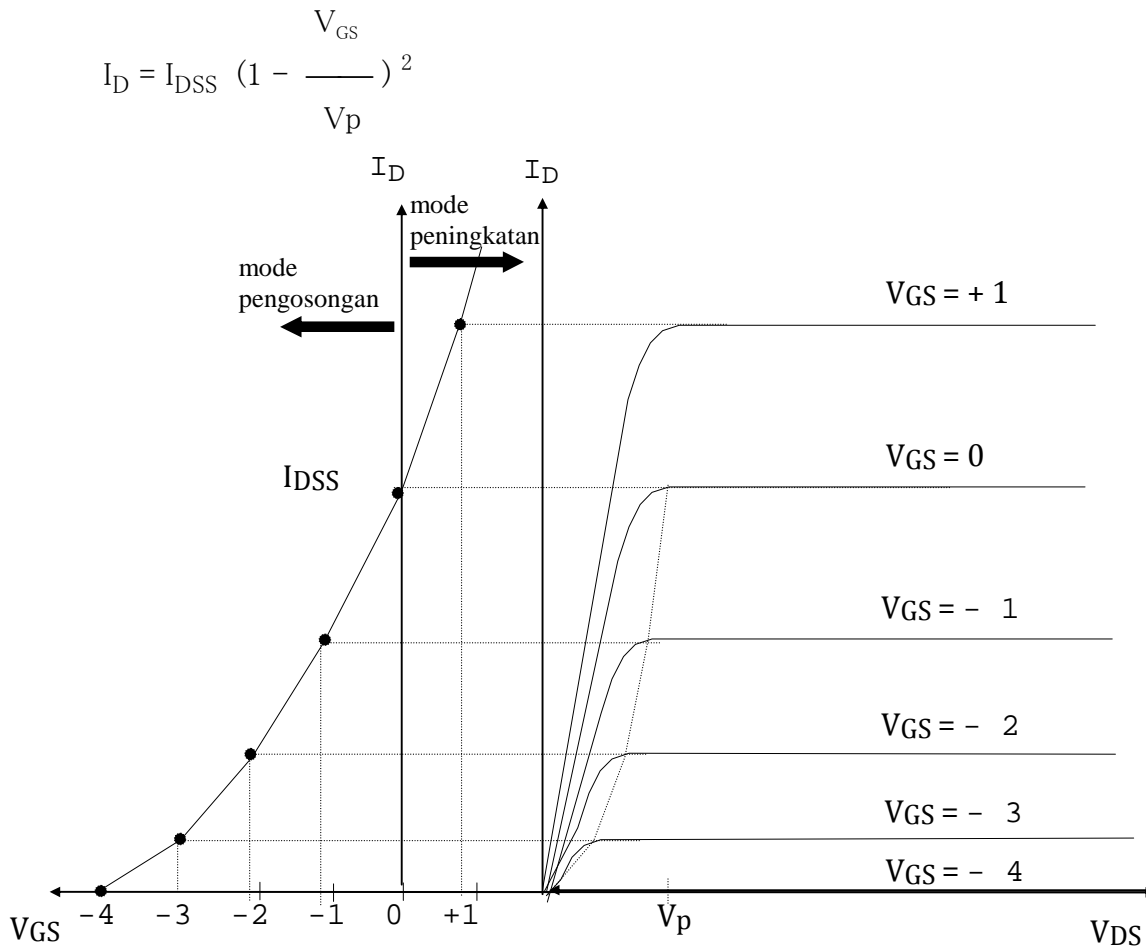
Gambar 1.9 D-MOSFET kanal-N dengan $V_{GS} = 0$ dan V_{DS} positif

D-MOSFET dengan tegangan VGS nol hingga VGS negatif ini disebut dengan mode pengosongan. Hal ini karena dengan tegangan VGS ini kanal-N dikosongkan dari elektron bebas, atau dengan kata lain pada kanal-N timbul daerah pengosongan. Seperti halnya pada JFET, saat VGS negatif tertentu, arus I_D tidak bisa mengalir lagi (mati) meskipun VDS diperbesar. VGS yang menyebabkan I_D nol ini disebut dengan $V_{GS(off)}$.

Selain dengan tegangan VGS negatif, D-MOSFET bisa juga bekerja dengan tegangan VGS positif. Berbeda dengan JFET yang hanya bisa bekerja dengan VGS negatif saja. Bila VGS pada D-MOSFET dibuat positif, maka muatan positif pada terminal gate ini akan menarik elektron bebas dari substrat ke daerah kanal-N, sehingga elektron bebasnya lebih banyak. Dengan demikian arus I_D mengalir lebih besar dibanding saat $V_{GS} = 0$.

Semakin diperbesar harga VGS ke arah positif, semakin banyak jumlah pembawa muatan elektron bebas pada kanal N, sehingga semakin besar arus ID. D-MOSFET yang bekerja dengan VGS positif ini disebut dengan mode peningkatan, karena jumlah pembawa muatan elektron bebas pada daerah kanal-N ditingkatkan dibanding saat VGS = 0. Pada saat memperbesar VGS positif ini perlu diperhatikan kemampuan arus ID maksimum agar tidak terlampaui. Besarnya arus maksimum dari setiap D-MOSFET dapat dilihat pada buku data.

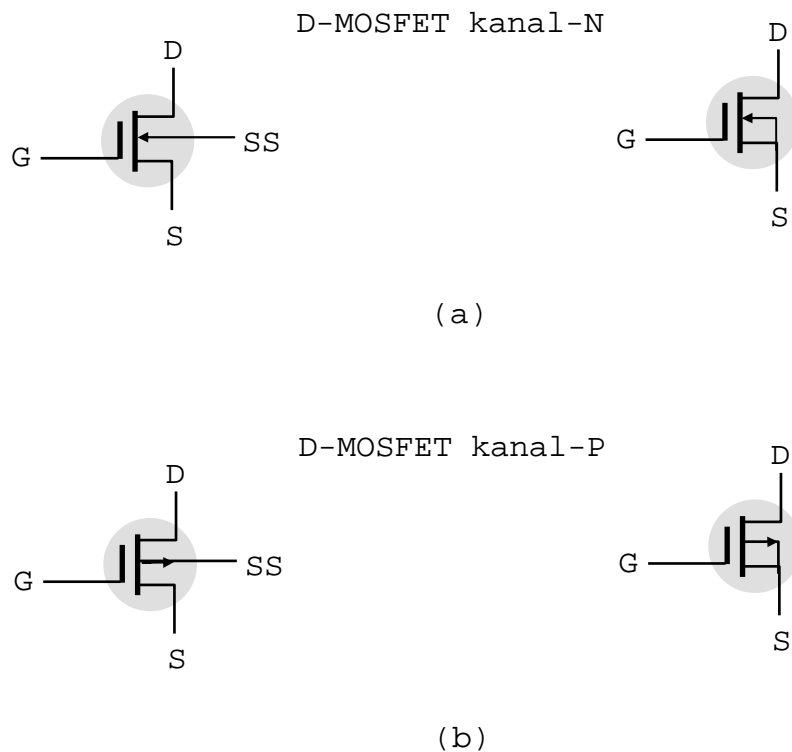
Kurva karakteristik output dan kurva transfer D-MOSFET kanal-N dapat dilihat pada gambar 1.10. Terlihat bahwa D-MOSFET ini dapat bekerja baik pada mode pengosongan (saat VGS negatif) maupun pada mode peningkatan (VGS positif). Oleh karena itu D-MOSFET ini sering juga disebut dengan DE-MOSFET (*depletion-enhancement* MOSFET). Persamaan Shockley (persamaan 1.1) juga masih berlaku pada D-MOSFET ini baik pada mode pengosongan maupun pada mode peningkatan.



Gambar 1.10 Kurva karakteristik transfer dan output D-MOSFET kanal-N

Konstruksi dan prinsip kerja D-MOSFET kanal-P adalah kebalikan dari D-MOSFET kanal-N yang sudah dijelaskan di depan. Demikian juga polaritas tegangan V_{GS} , V_{DS} , dan arus I_D juga berlawanan dengan yang ada pada D-MOSFET kanal-N.

Simbol D-MOSFET kanal-N dan kanal-P adalah seperti ditunjukkan berturut-turut pada gambar 1.11a dan 1.11b. Bila terminal SS tidak terhubung di dalam, maka D-MOSFET menjadi komponen empat terminal. Berbeda dengan simbol JFET yang tanda panahnya pada gate, untuk gate D-MOSFET tidak ada panahnya karena gate dengan kanal bukanlah P-N junction.



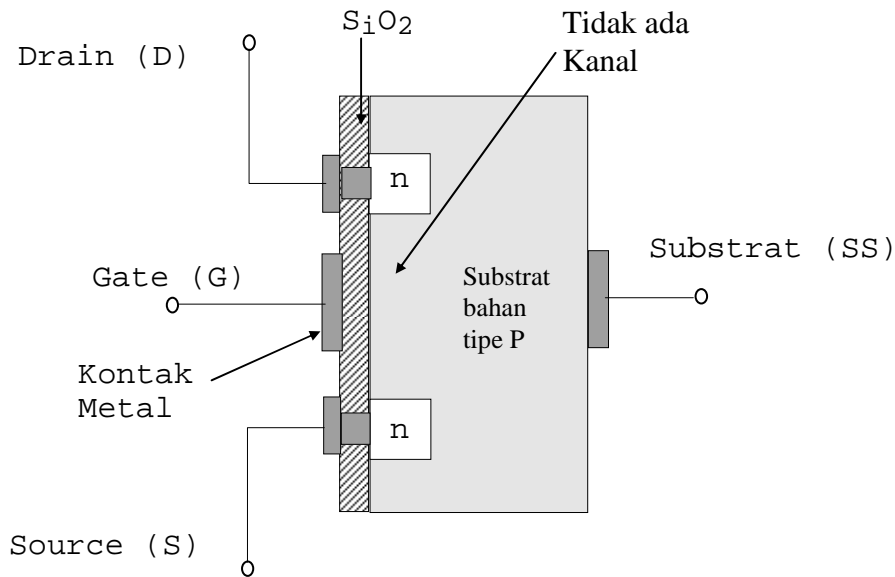
Gambar 1.11 Simbol D-MOSFET (a) kanal-N dan (b) kanal-P

1.5 Konstruksi dan Karakteristik E-MOSFET

MOSFET tipe peningkatan atau E-MOSFET (*Enhancement-metal-oxide semiconductor* FET) terdiri atas kanal-N dan kanal-P. Pembahasan akan dilakukan hanya untuk E-MOSFET kanal-N saja, karena pada dasarnya kanal-N dan kanal-P hanya berbeda polaritas. Gambar 1.12 menunjukkan konstruksi E-MOSFET kanal-N.

Seperti halnya pada D-MOSFET, E-MOSFET ini juga dibuat di atas bahan dasar silikon tipe-P yang disebut dengan substrat. Pada umumnya substrat P ini dihubungkan ke terminal SS melalui kontak metal. Terminal SS pada beberapa MOSFET terhubung langsung

di dalam komponen, sehingga yang keluar tinggal tiga terminal saja, yakni Source (S), Drain (D) dan Gate (G).

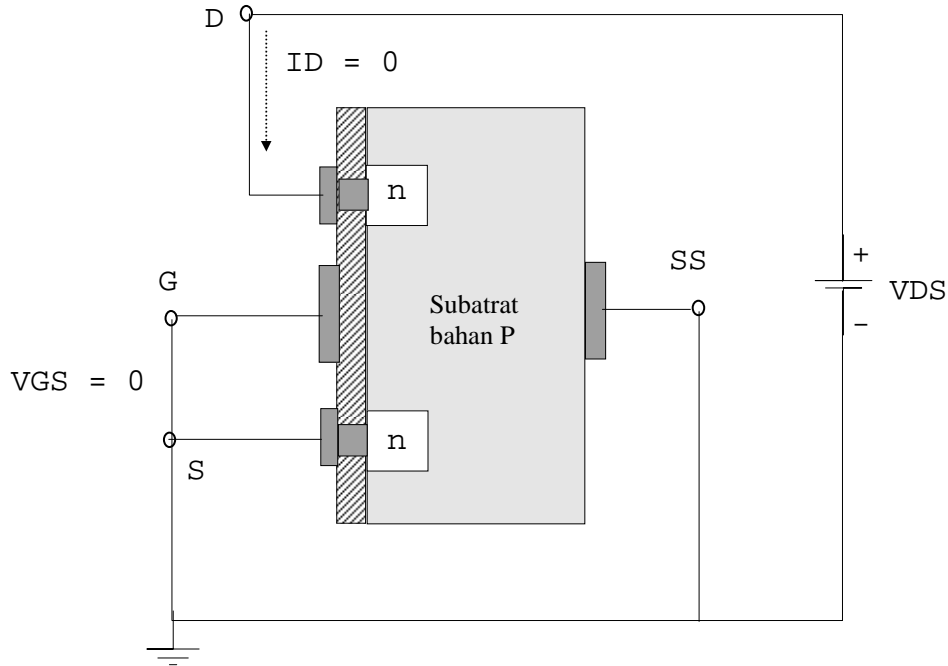


Gambar 1.12 Konstruksi E-MOSFET kanal-N

Source (S) dan drain (D) masing-masing dibuat dengan menumbuhkan doping bahan-N dari substrat-P, sehingga dapat dihubungkan keluar menjadi terminal S untuk Source dan D untuk drain melalui kontak metal. Sedangkan terminal G (gate) dibuat melalui kontak metal yang diletakkan ditengah-tengah antara Source dan Drain. Antara gate dan substrat P terdapat silikon dioksida (SiO_2) yang berfungsi sebagai isolasi (dielektrikum). Hal demikian ini sama seperti pada D-MOSFET. Impedansi input E-MOSFET juga sangat tinggi.

Perbedaan utama antara keduanya adalah bahwa pada D-MOSFET terdapat kanal yang menghubungkan S dan D, sedangkan pada E-MOSFET tidak terdapat kanal tersebut. Dengan demikian aliran elektron dari source yang akan menuju drain harus melalui substrat-P.

Pembahasan prinsip kerja E-MOSFET kanal-N dimulai dengan memberikan tegangan $V_{GS} = 0$ Volt dan V_{DS} positif. Pemberian tegangan $V_{GS} = 0$ adalah dengan cara menghubungkan-singkatkan terminal Gate (G) dan Source (S). Perhatikan gambar 1.13.



Gambar 1.13 E-MOSFET kanal-N dengan $V_{GS} = 0$ dan V_{DS} positif

Oleh karena antara S dan D tidak ada kanal-N (yang mempunyai banyak elektron bebas), maka meskipun V_{DS} diberi tegangan positif yang cukup besar, arus I_D tetap tidak mengalir atau $I_D = 0$. Antara source dan drain adalah bahan tipe-P dimana elektron adalah sebagai pembawa minoritas, sehingga saat $V_{GS} = 0$ dan V_{DS} positif yang mengalir adalah arus bocor saja. Disinilah perbedaannya dengan D-MOSFET yang mengalirkan arus I_D pada saat $V_{GS} = 0$ dan V_{DS} positif.

Apabila V_{GS} dinaikan ke arah positif, maka muatan positif pada gate ini akan menolak hole dari substrat-P menjauhi perbatasannya dengan SiO_2 . Dengan demikian daerah substrat-P yang berdekatan dengan gate akan kekurangan pembawa mayoritas hole. Sebaliknya elektron dari substrat-P akan tertarik oleh muatan positif gate dan mendekati perbatasan substrat dengan SiO_2 . Perlu diingat bahwa elektron tidak bisa masuk ke gate karena substrat dan gate ada pembatas SiO_2 , sehingga I_G tetap sama dengan nol.

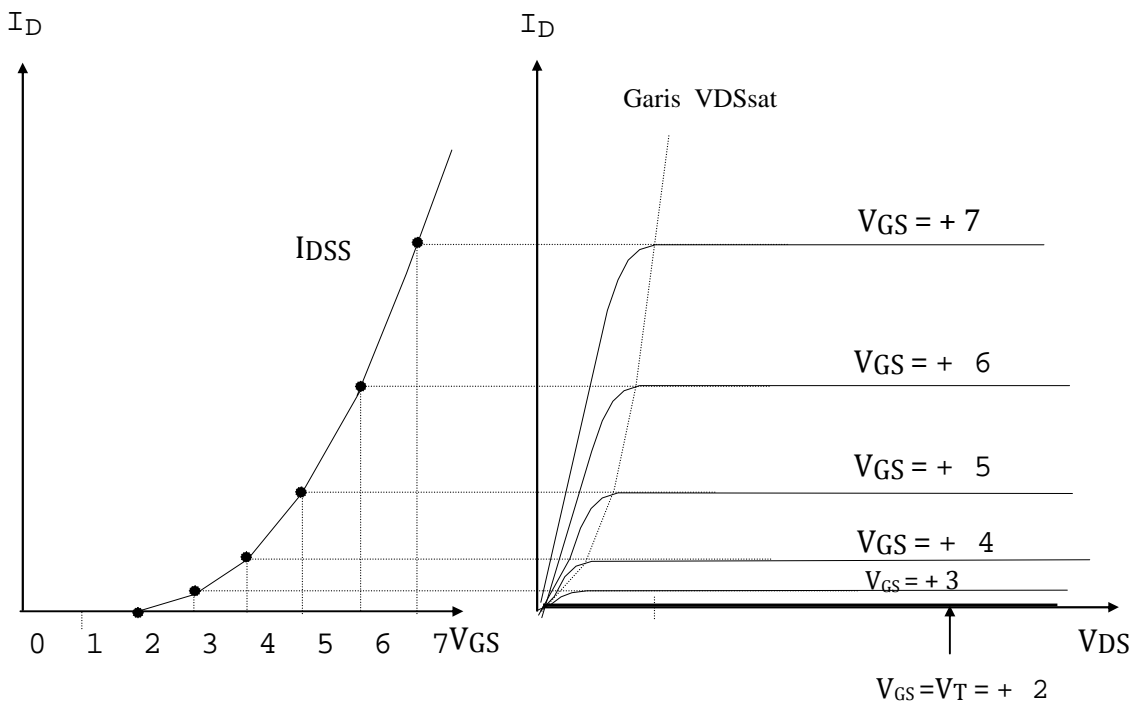
Bila tegangan V_{GS} dinaikan terus hingga jumlah elektron yang berada di dekat perbatasan dengan SiO_2 cukup banyak untuk menghasilkan arus I_D saat V_{DS} positif, maka V_{GS} ini disebut dengan tegangan *threshold* (V_T). Pada beberapa buku data V_T ini disebut juga $V_{GS(th)}$. Setelah mencapai tegangan V_T ini, maka dengan memperbesar harga V_{GS} , arus I_D semakin besar. Hal ini karena semakin besar V_{GS} berarti jumlah elektron yang

tersedia antara source dan drain semakin banyak. Kurva tranfer dan karakteristik E-MOSFET kanal-N dapat dilihat pada gambar 1.14.

Istilah peningkatan (*enhancement*) dalam E-MOSFET ini menunjuk pada fenomena bahwa saat V_{GS} masih nol, arus I_D tidak ada karena tidak terdapat elektron antara source dan drain. Kemudian apabila V_{GS} dibuat positif hingga melebihi V_T , maka terjadi peningkatan jumlah elektron antara source dan drain yang berakibat meningkatnya arus I_D bila tegangan V_{DS} positif diperbesar.

Pada saat $V_{GS} > V_T$, apabila V_{DS} masih kecil arus I_D naik dengan cepat, namun bila V_{DS} dinaikkan terus hingga mencapai V_{DSsat} , maka arus I_D akan konstan. Hal ini karena dengan memperbesar V_{DS} sementara V_{GS} tetap, maka tegangan relatif antara G dan D makin kecil sehingga mengurangi daya tarik elektron pada sisi D-G. Akibatnya arus I_D akan jenuh dan kenaikan V_{DS} lebih jauh tidak akan memperbesar arus I_D . Harga V_{DS} ini disebut dengan V_{DSsat} (atau V_{DS} saturasi).

Dengan melihat kurva karakteristik E-MOSFET ternyata terdapat hubungan antara V_{DSsat} dengan V_{GS} . Hubungan tersebut adalah dengan semakin tingginya harga V_{GS} , V_{DSsat} makin tinggi juga. Pada saat $V_{GS} = V_T$ yang mana arus I_D mulai mengalir dengan cukup berarti, maka $V_{DSsat} = 0$. Hal ini karena arus I_D sudah mengalami kejenuhan sejak V_{DS} dinaikkan.



Gambar 1.14 Kurva karakteristik transfer dan output E-MOSFET kanal-N

Hubungan antara arus ID dengan VGS tidak lagi mengikuti persamaan Shockley sebagaimana pada JFET dan D-MOSFET, akan tetapi mengikuti persamaan 1.2. Persamaan ini berlaku untuk $V_{GS} > V_T$.

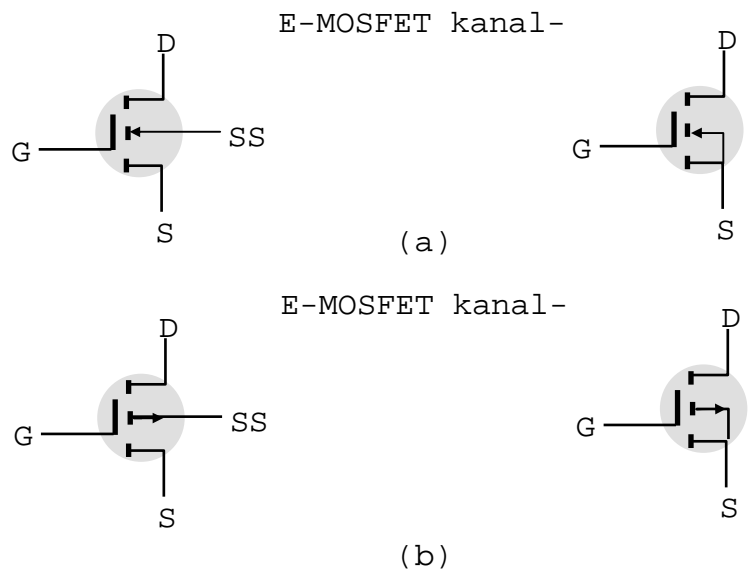
$$ID = k(V_{GS} - V_T)^2 \dots\dots\dots (1.2)$$

dimana: k adalah tetapan (konstanta) sebagai fungsi dari konstruksi komponen. Namun demikian dengan menurunkannya dari persamaan 1.2 tersebut bisa diperoleh harga k untuk suatu titik dalam kurva harga ID(on) dan VGS(on) tertentu, yaitu:

$$k = \frac{ID_{(on)}}{(V_{GS_{(on)}} - V_T)^2} \dots\dots\dots (1.3)$$

Konstruksi dan prinsip kerja E-MOSFET kanal-P adalah kebalikan dari E-MOSFET kanal-N yang sudah dijelaskan di depan. Demikian juga polaritas tegangan VGS, VDS, dan arus ID juga berlawanan dengan yang ada pada E-MOSFET kanal-N.

Simbol E-MOSFET kanal-N dan kanal-P adalah seperti ditunjukkan berturut-turut pada gambar 1.15a dan 1.15b. Bila terminal SS tidak terhubung di dalam, maka E-MOSFET menjadi komponen empat terminal. Berbeda dengan simbol JFET yang tanda panahnya pada gate, untuk gate E-MOSFET tidak ada panahnya karena gate dengan kanal bukanlah P-N junction.



Gambar 1.15 Simbol D-MOSFET (a) kanal-N dan (b) kanal-P

Adanya lapisan SiO₂ antara gate dan kanal dalam MOSFET menyebabkan impedansi input sangat tinggi. Akan tetapi karena lapisan SiO₂ ini sangat tipis, maka perlu kehati-hatian dalam menangani MOSFET ini. Muatan statis yang ada pada tangan manusia dikawatirkan bisa menyebabkan lapisan SiO₂ tembus, sehingga MOSFET akan rusak. Oleh karena itu biasanya pabrik sudah memberikan cincin penghubung singkat ujung-ujung kaki MOSFET. Dengan demikian akan dapat menghindari terjadinya beda potensial atau muatan yang tidak disengaja pada terminal MOSFET.

Beberapa keluarga FET yang belum dibahas pada bab ini adalah VMOS dan CMOS. VMOS merupakan jenis MOSFET yang dirancang khusus untuk pemakaian pada daya tinggi. Sedangkan CMOS dibentuk dengan menghubungkan secara complementer antara E-MOSFET kanal P dan E-MOSFET kanal-N. CMOS banyak dipakai pada rangkaian terpadu untuk digital, karena kecepatan kerja yang tinggi, daya rendah, mudah dibuat dan impedansi input tinggi.

1.6 Ringkasan

Keuntungan FET yang sangat penting dibanding transistor bipolar adalah impedansi inputnya yang sangat tinggi. Pada JFET tingginya impedansi input ini disebabkan karena pada daerah operasi JFET persambungan gate dan kanal mendapat bias mundur, sehingga arus gate adalah kecil sekali atau nol. Sedangkan pada MOSFET hal ini disebabkan karena antara gate dengan kanal terdapat lapisan isolasi yang tipis yang berupa silikon dioksida (SiO₂), sehingga arus gate adalah nol.

Perbedaan lain FET dibanding dengan transistor bipolar adalah bahwa pada FET besaran arus output (I_D) dikendalikan oleh tegangan input (V_{GS}). Sedangkan pada transistor bipolar besaran arus output (I_C) dikendalikan oleh arus input (I_B).

1.7 Soal Latihan

1. Gambarkan struktur JFET kanal-P dan jelaskan cara kerjanya!
2. Gambarkan struktur D-MOSFET kanal-P dan jelaskan cara kerjanya!
3. Gambarkan struktur E-MOSFET kanal-P dan jelaskan cara kerjanya!
4. Apabila diketahui $I_{DSS} = 9 \text{ mA}$, $V_p = - 3,5 \text{ Volt}$, dengan menggunakan persamaan Shockley, tentukan harga arus I_D untuk beberapa harga V_{GS} berikut!
 - a). $V_{GS} = 0 \text{ V}$
 - b). $V_{GS} = - 2 \text{ V}$
 - c). $V_{GS} = - 3,5 \text{ V}$
 - d). $V_{GS} = 5 \text{ V}$
5. Dengan diketahui harga $I_{DSS} = 12 \text{ mA}$ dan $V_p = - 4 \text{ Volt}$, gambarkan kurva transfer untuk JFET tersebut!
6. Bila diketahui $I_{DSS} = 6 \text{ mA}$ dan $V_p = - 4,5 \text{ Volt}$,
 - a. Tentukan I_D pada $V_{GS} = - 2 \text{ Volt}$ dan $- 3,6 \text{ Volt}$
 - b. Tentukan V_{GS} pada $I_D = 3 \text{ mA}$ dan $5,5 \text{ mA}$
7. Jelaskan beberapa perbedaan dan persamaan antara FET dengan transistor bipolar!
8. Jelaskan beberapa keuntungan dan kerugian FET dibanding dengan transistor bipolar!
9. Jelaskan arti mode pengosongan dan peningkatan dalam D-MOSFET!
10. Jelaskan perbedaan antara D-MOSFET dengan E-MOSFET!

Sumber Pustaka

Boylestad and Nashelsky. (1992). *Electronic Devices and Circuit Theory*, 5th ed. Engelwood Cliffs, NJ: Prentice-Hall, Inc.

Floyd, T. (1991). *Electric Circuits Fundamentals*. New York: Merrill Publishing Co.

Malvino, A.P. (1993). *Electronic Principles 5th Edition*. Singapore: McGraw-Hill, Inc.

Milman & Halkias. (1972). *Integrated Electronics: Analog and Digital Circuits and Systems*. Tokyo: McGraw-Hill, Inc.

Savant, Roden, and Carpenter. (1987). *Electronic Circuit Design: An Engineering Approach*. Menlo Park, CA: The Benjamin/Cummings Publishing Company, Inc.

Stephen, F. (1990). *Integrated devices: discrete and integrated*. Englewood Cliffs, NJ: Prentice-Hall, Inc.